

(a;

MULTIPLEXING BUS CONTROL SYSTEM

Patent Number: JP61196353
Publication date: 1986-08-30
Inventor(s): MAZAKI TAKAFUMI; others: 01
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP61196353
Application Number: JP19850036358 19850227
Priority Number(s):
IPC Classification: G06F13/38
EC Classification:
Equivalents:

Abstract

PURPOSE:To set variably the number of buses to be used among any devices and to optimize a system data transfer speed by mounting an expansion bus in parallel to a data bus and recognizing mutually the setting number of the expansion buses among respective devices through the data bus.

CONSTITUTION:When a device B is requested for data transferring/receiving by a device A, if the device A side possesses a transferring/receiving buffer 2, a message 'the expansion bus has been used' is indicated on the bus bit length of a sending command row and transferred through a data bus 5. When the device B possesses a transferring/receiving buffer 4, the device B carries out the following data transferring/receiving operation using both the data bus and the expansion bus 6 at the same time. When not the transferring/receiving buffer 4, said device B does not carry out the following data transferring/receiving operation, but indicates 'expansion bus does not exist' on the bus bit length of the sending status and also indicates 'data transferring/ receiving is impossible' on the terminal information. When the device A recognizes this indication, said device A indicates 'expansion bus 6 has been not used' on the bus bit length of sending command and restarts transferring using only the data bus 5.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-196353

⑮ Int.Cl.⁴
G 06 F 13/38

識別記号 庁内整理番号
D-7165-5B

⑭ 公開 昭和61年(1986)8月30日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 多重化バス制御方式

⑯ 特 願 昭60-36358

⑰ 出 願 昭60(1985)2月27日

⑱ 発 明 者 真 崎 孝 文 尾張旭市晴丘町池上1番地 株式会社日立製作所旭工場内
⑲ 発 明 者 松 田 敏 彦 尾張旭市晴丘町池上1番地 株式会社日立製作所旭工場内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称 多重化バス制御方式

2. 特許請求の範囲

(1) データバスを介してデータ送受信を制御する送受信回路を有する任意の装置間のデータ転送システムにおいて、前記データバスと並列に1つ以上の拡張用バスを設け、各装置間の拡張用バスの設定数を前記データバスを介して相互に認知する手順により、任意の前記装置間のバス使用数を変更することを特徴とする多重化バス制御方式。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は、多重化バス制御方式に関し、特に任意の装置間のデータ転送制御において各装置固有のデータ処理能力に対応してシステムデータ転送速度の最適化を図るのに好適な多重化バス制御方式に関するものである。

〔発明の背景〕

一般に、データ転送システムを構成する場合、

システム処理能力の最大値に応じてバスビット長が固定長として決定される。したがって、処理能力の低い装置を接続するときには、データ転送能力が低いにもかかわらずシステムのバスビット長が固定長であるため、最大値のバスビット長を設けないとシステムに接続できないという欠点があった。また、多重化バス制御を行うデータ転送システムで障害が発生した時に、その障害となったバス系を切離す等の超迅速運用を考慮した多重化バス制御方式の例としては、特開昭56-67424号公報に記載されている。

しかし、この場合もバスビット長が固定長であるため、装置固有の処理能力に最適な多重化バスを設定することができないという欠点があった。

〔発明の目的〕

本発明の目的は、このような従来の欠点を改善し、任意の装置間のデータ転送システムにおいて、任意の装置間のバス使用数の可変設定が可能な、かつ、システムデータ転送速度の最適化が図れる

多重化バス制御方式を提供することにある。

〔発明の概要〕

上記目的を達成するために、本発明では、データバスを介してデータ送受信を制御する送受信回路を有する任意の装置間のデータ転送システムにおいて、前記データバスと並列に1つ以上の拡張バスを設け、各装置間の拡張バスの設定数を前記データバスを介して相互に認知する手順により、任意の前記装置間のバス使用数を変更することに特徴がある。

〔発明の実施例〕

以下、本発明の実施例を図面により説明する。

第1図は、本発明の一実施例を示す多重化バス制御方式を説明するためのデータ転送システムの概略構成図である。ここでは、装置AとBの2つの装置間について説明する。

第1図において、1～4は送受信バッファ、5はデータバス、6は拡張バス、7、8は送受信データ蓄積メモリである。

装置Aは、データバス5に接続された送受信バッ

ファ1と拡張バス6に接続された送受信バッファ2、送受信バッファ1、2からのデータを蓄積する送受信データ蓄積メモリ7を有している。同様に装置Bは、データバス5に接続された送受信バッファ3と拡張バス6に接続された送受信バッファ4、送受信バッファ3、4からのデータを蓄積する送受信データ蓄積メモリ8を有している。

第2図は、装置Aから装置Bへの送出コマンド列の概念図であり、拡張バス6の使用有無を表示するバスビット長11、装置Bへの書き込み読出し等を指示する動作指令12、装置Bの開始アドレス等を指示する開始情報13等の順にデータバス5を介して送信されるデータである。

第3図は、装置Bから装置Aへのステータス列の概念図であり、拡張バス6の有無を表示するバスビット長11、動作指令12、開始情報13、および終了結果を表示する終了情報14等の順にデータバス5を介して送信されるデータである。

次に、第1図の動作を第2図、第3図を用いて説明する。また、本実施例では、データバス5を

8ビット長とし、拡張バスとして8ビット長の拡張バス6を設けた例とする。

装置Aから装置Bに対してデータ送受信を要求する場合、装置A側で送受信バッファ2を有するときには、送出コマンド列のバスビット長11に拡張バス6の使用有を表示し、データバス5を介して装置Bへ転送される。装置B側で送受信バッファ4を有するときには、次に続くデータ送受信動作をデータバス5と拡張バス6との両方を同時に用いて実行する。上記動作時、装置Bが送受信バッファ4を有しないときには、次に続くデータ送受信動作を実行せず送出ステータスのバスビット長11に拡張バス6無を表示し、かつ、終了情報14にデータ送受信不可を表示して終了する。装置A側は装置Bからの拡張バス6無を認知すると、送出コマンドのバスビット長11に拡張バス6の使用無を表示し、データバス5のみを用いてデータ送受信を再開する。一方、装置A側で送受信バッファ2を有しないときには、送出コマンド列のバスビット長11に拡張バス6の使用無を表

示するため、装置B側では送受信バッファ4の有無にかかわらず、データバス5のみを用いてデータ送受信が実行されることになる。

このようにして、本実施例によれば、任意の装置間のデータ転送システムにおいて、装置間の接続バスビット長をシステム処理能力上の最大バスビット長を越えない範囲内で、装置固有の処理能力に応じて任意に設定可能となるため、各装置のデータ転送処理動作時に実行中の装置の処理能力に応じたデータ転送速度の最適化が図れる。

〔発明の効果〕

以上説明したように、本発明によれば、任意の装置間のデータ転送システムにおいて、任意の装置間のバス使用数を可変設定ができるようになり、かつ、システムデータ転送速度の最適化が図れる多重化バス制御方式を実現できる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す多重化バス制御方式を説明するための図、第2図は装置Aから転送されるコマンド列の概念図、第3図は装置B

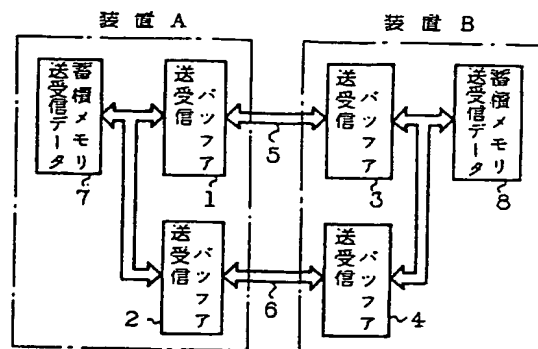
から転送されるステータス列の概念図である。

1 ~ 4 : 送受信バッファ、5 : データバス、6 :
拡張バス、7, 8 : 送受信データ蓄積メモリ、11
バスビット長、12 動作指令、13 : 開始情報、
14 : 終了情報。

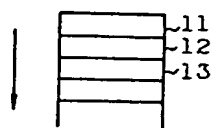
代 理 人 弁 理 士 小 川 勝 男



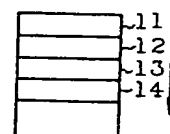
第 1 図



第 2 図



第 3 図



[0019]

An object of the present invention is to provide an error processing system for a bus extension controller, which can shorten the time period between the start of a common bus cycle and the start of an extended bus cycle at the time of normal operation of a write request to an extended bus.

[0020]

[Means for Solving the Problem]

An error processing system for a synchronous bus extension controller relaying an access request from a central processing unit to an input/output unit or a storage unit connected to an extended bus comprising the steps of: when no error is detected in an address received from the central processing unit to the extended bus, transferring the address to the extended bus and starting an extended bus cycle; whereas when an error is detected in write data received, after the address, from the central processing unit, converting a write designation received together with the write data into a read designation and outputting the read designation while suppressing transfer of the write data to the extended bus; and terminating the extended bus cycle as a read cycle.

2. Claim

(1) A multiplexing bus control system in a data transfer system between arbitrary devices having transmitting/receiving circuits for controlling data transmission/reception through a data bus, the system comprising the steps of:

providing one or more expansion buses in parallel to said data bus; and

mutually recognizing the setting number of said expansion buses between said devices through said data bus, thereby varying the number of buses to be used between said arbitrary devices.